



3

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ - CERTIFICAT D'ADDITION

COPIE OFFICIELLE

Le Directeur général de l'Institut national de la propriété industrielle certifie que le document ci-annexé est la copie certifiée conforme d'une demande de titre de propriété industrielle déposée à l'Institut.

Fait à Paris, le 26 FEV. 2004

Pour le Directeur général de l'Institut
national de la propriété industrielle
Le Chef du Département des brevets

Martine PLANCHE

INSTITUT
NATIONAL DE
LA PROPRIÉTÉ
INDUSTRIELLE

SIEGE
26 bis, rue de Saint Petersburg
75800 PARIS cedex 08
Téléphone : 33 (0)1 53 04 53 04
Télécopie : 33 (0)1 53 04 45 23
www.inpi.fr

THIS PAGE BLANK (USPTO)



26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08
Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

BREVET D'INVENTION CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI

cerfa
N° 11354*02

REQUÊTE EN DÉLIVRANCE page 1/2

BR1

Cet imprimé est à remplir lisiblement à l'encre noire

DB 540 @ W / 010801

REMISE DES PIÈCES 20 MARS 2003 DATE LIEU 75 INPI PARIS N° D'ENREGISTREMENT NATIONAL ATTRIBUÉ PAR L'INPI DATE DE DÉPÔT ATTRIBUÉE PAR L'INPI 28 MARS 2003 Vos références pour ce dossier (facultatif) B 03/0095 FR-ODE		1 NOM ET ADRESSE DU DEMANDEUR OU DU MANDATAIRE À QUI LA CORRESPONDANCE DOIT ÊTRE ADRESSÉE Bureau D.A. CASALONGA - JOSSE 8, avenue Percier 75008 PARIS	
Confirmation d'un dépôt par télécopie		<input type="checkbox"/> N° attribué par l'INPI à la télécopie	
2 NATURE DE LA DEMANDE		Cochez l'une des 4 cases suivantes	
Demande de brevet		<input checked="" type="checkbox"/>	
Demande de certificat d'utilité		<input type="checkbox"/>	
Demande divisionnaire		<input type="checkbox"/>	
Demande de brevet initiale ou demande de certificat d'utilité initiale		N° _____ Date _____ N° _____ Date _____	
Transformation d'une demande de brevet européen Demande de brevet initiale		<input type="checkbox"/> N° _____ Date _____	
3 TITRE DE L'INVENTION (200 caractères ou espaces maximum) Oscillateur commandé en tension.			
4 DÉCLARATION DE PRIORITÉ OU REQUÊTE DU BÉNÉFICE DE LA DATE DE DÉPÔT D'UNE DEMANDE ANTÉRIEURE FRANÇAISE		Pays ou organisation _____ N° _____ Date _____ Pays ou organisation _____ N° _____ Date _____ Pays ou organisation _____ N° _____ Date _____ <input type="checkbox"/> S'il y a d'autres priorités, cochez la case et utilisez l'imprimé «Suite»	
5 DEMANDEUR (Cochez l'une des 2 cases)		<input type="checkbox"/> Personne morale <input type="checkbox"/> Personne physique	
Nom ou dénomination sociale		France Télécom	
Prénoms			
Forme juridique		Société Anonyme	
N° SIREN		_____	
Code APE-NAF		_____	
Domicile ou siège	Rue	6, Place d'Alleray	
	Code postal et ville	[7 5 0 1 5] PARIS	
	Pays	France	
Nationalité		Française	
N° de téléphone (facultatif)		N° de télécopie (facultatif)	
Adresse électronique (facultatif)			
<input type="checkbox"/> S'il y a plus d'un demandeur, cochez la case et utilisez l'imprimé «Suite»			

Remplir impérativement la 2^{ème} page



BREVET D'INVENTION CERTIFICAT D'UTILITÉ

REQUÊTE EN DÉLIVRANCE
page 2/2

BR2

REMISE DES PIÈCES DATE 22 MARS 2003 LIEU 75 INPI PARIS N° D'ENREGISTREMENT 0303896 NATIONAL ATTRIBUÉ PAR L'INPI		Réservé à l'INPI
Vos références pour ce dossier : <i>(facultatif)</i>		B 03/0095 FR-ODE
6 MANDATAIRE <i>(s'il y a lieu)</i>		
Nom		
Prénom		
Cabinet ou Société		Bureau D.A. CASALONGA - JOSSE
N° de pouvoir permanent et/ou de lien contractuel		
Adresse	Rue	8, avenue Percier
	Code postal et ville	7 5 0 0 8 PARIS
	Pays	
N° de téléphone <i>(facultatif)</i>		
N° de télécopie <i>(facultatif)</i>		
Adresse électronique <i>(facultatif)</i>		
7 INVENTEUR (S)		Les inventeurs sont nécessairement des personnes physiques <input type="checkbox"/> Oui <input checked="" type="checkbox"/> Non : Dans ce cas remplir le formulaire de Désignation d'inventeur(s)
Les demandeurs et les inventeurs sont les mêmes personnes		
8 RAPPORT DE RECHERCHE		Uniquement pour une demande de brevet (y compris division et transformation) <input checked="" type="checkbox"/> Établissement immédiat ou établissement différé <input type="checkbox"/>
Paiement échelonné de la redevance <i>(en deux versements)</i>		Uniquement pour les personnes physiques effectuant elles-mêmes leur propre dépôt <input type="checkbox"/> Oui <input type="checkbox"/> Non
9 RÉDUCTION DU TAUX DES REDEVANCES		Uniquement pour les personnes physiques <input type="checkbox"/> Requête pour la première fois pour cette invention <i>(joindre un avis de non-imposition)</i> <input type="checkbox"/> Obtenue antérieurement à ce dépôt pour cette invention <i>(joindre une copie de la décision d'admission à l'assistance gratuite ou indiquer sa référence)</i> : AG _____
Si vous avez utilisé l'imprimé «Suite», indiquez le nombre de pages jointes		
10 SIGNATURE DU DEMANDEUR ou DU MANDATAIRE (Nom et qualité du signataire)		VISA DE LA PRÉFECTURE OU DE L'INPI L. MARIELLO
Axel CASALONGA, hm.92 1044 i Conseil en Propriété Industrielle		

Oscillateur commandé en tension

L'invention concerne un oscillateur commandé en tension réalisé en technologie CMOS.

5 Plus particulièrement, l'invention concerne la synthèse de fréquences basée sur l'utilisation d'un oscillateur commandé en tension asservi par une fréquence de référence.

Une application particulièrement intéressante d'un tel oscillateur concerne le domaine des télécommunications pour la
10 réalisation d'émetteurs ou de récepteurs radio, pour lesquels il est nécessaire d'engendrer des fréquences précises pour sélectionner un canal radio. Plus particulièrement, l'invention trouve une application particulièrement avantageuse dans le domaine des hautes fréquences, de l'ordre de 5 GHz, cette fréquence étant retenue dans certains
15 réseaux locaux radio pour l'onde porteuse afin de ne pas perturber les réseaux voisins.

A chaque communication est attribué un canal contenu dans cette bande de fréquence, ayant une largeur d'environ 20 MHz. Il est donc nécessaire de disposer, en réception, d'un oscillateur local
20 capable d'engendrer des fréquences précises pour sélectionner un canal donné. Un tel oscillateur, qui est destiné à être embarqué dans les terminaux de réception, doit nécessairement présenter un faible coût de production et un haut niveau d'intégration.

C'est la raison pour laquelle on réalise généralement ces
25 oscillateurs en technologie CMOS. Selon cette technologie, les oscillateurs comportent par exemple deux circuits oscillants identiques comprenant chacun un circuit résonant de type LC, associés chacun à un inverseur constitué par l'association de deux transistors.

30 Comme on le conçoit, l'une des préoccupations majeures des fabricants de terminaux de télécommunications concerne la miniaturisation des composants électroniques embarqués. Ce problème se pose de manière accrue pour les selfs des oscillateurs constitutifs



des circuits résonants, la surface de silicium utilisée pour la réalisation d'une self étant directement liée à la valeur de la self et donc à la fréquence d'oscillation. Il n'est donc pas possible de diminuer la taille de l'oscillateur sans modifier la valeur de la self et donc la fréquence de l'oscillateur.

C'est ainsi que, selon la technologie MOS, la surface de silicium nécessaire pour la réalisation des transistors de l'oscillateur est négligeable par rapport à la surface de silicium nécessaire pour la réalisation des selfs.

Le but de l'invention est donc de pallier les inconvénients des oscillateurs de l'état de la technique et de fournir un oscillateur commandé en tension ayant un niveau d'intégration accru.

Selon l'invention, il est donc proposé un oscillateur commandé en tension comprenant un étage oscillant à deux inverseurs CMOS couplés formant un quadripôle à deux entrées et à deux sorties, et deux circuits oscillants disposés respectivement entre les entrées et les sorties des inverseurs et comportant chacun une self, le quadripôle étant adapté pour que les sorties dudit quadripôle soient en phase.

Selon une caractéristique générale de l'oscillateur selon l'invention, les selfs des circuits oscillants sont réalisés en technologie MOS et sont superposées l'une sur l'autre.

La superposition des deux selfs permet dès lors de diminuer la surface occupée par l'oscillateur, d'un facteur pouvant aller jusqu'à 2.

Selon une autre caractéristique de l'invention, les selfs des circuits oscillants sont réalisées sous la forme de spirales implantées dans des niveaux de métallisation respectifs d'un circuit intégré.

Ainsi, par exemple, les selfs se présentent sous la forme de capacités en forme de spirale formées respectivement par implantation de métal dans les niveaux de métallisation qui sont isolés par une couche d'oxyde mince.

Selon une autre caractéristique de l'invention, chaque inverseur comporte deux transistors MOS de polarité opposée, disposés en ligne,

l'entrée de l'inverseur étant située sur la grille de l'un des transistors ayant une première polarité et la sortie au point milieu des deux transistors.

5 En outre, l'entrée de chaque inverseur est reliée à la grille d'un transistor d'une deuxième polarité de l'autre inverseur, ladite deuxième polarité étant opposée à ladite première polarité.

10 L'oscillateur comporte en outre un étage d'amplification comprenant deux transistors MOS de polarité opposée disposés en série, la grille de chaque transistor étant reliée à l'une des sorties de l'étage oscillant.

D'autres buts, caractéristiques et avantages de l'invention apparaîtront à la lecture de la description suivante, donnée uniquement à titre d'exemple non limitatif, et faite en référence aux dessins annexés sur lesquels :

15 - la figure 1 est un schéma illustrant la réalisation d'un oscillateur commandé en tension conforme à l'invention ;

- la figure 2 est une vue en coupe d'une plaquette de circuit intégré illustrant la réalisation des selfs d'un oscillateur conforme à l'invention ; et

20 - la figure 3 est une vue de dessus de la plaquette de la figure 2.

Sur la figure 1, on a représenté le circuit électronique d'un oscillateur commandé en tension conforme à l'invention.

25 Comme on le voit sur cette figure 1, l'oscillateur comporte un étage oscillant 10 associé à un étage amplificateur 12 de type "push-pull".

L'étage oscillant 10 constitue un quadripôle à deux entrées e1 et e2 et à deux sorties s1 et s2.

30 En particulier, l'étage oscillant 10 présente une structure à deux inverseurs 14 et 16 couplés, réalisés en technologie CMOS. Chaque inverseur 14 et 16 comporte deux transistors MOS, respectivement N1 et P1, et N2 et P2 de polarité opposée et disposés

en série. En d'autres termes, l'un des inverseurs, à savoir l'inverseur désigné par la référence numérique générale 14, comporte un premier transistor MOS N1 de type N, et un deuxième transistor MOS P1 de type P couplés de sorte que la source S du transistor MOS N1 soit
5 raccordé à la masse, que la source S du deuxième transistor P1 soit raccordé à une source de tension d'alimentation Vdd, et que le drain D du premier transistor N1 soit raccordé au drain du deuxième transistor P1.

10 Le câblage de l'autre inverseur 16 est réalisé de manière symétrique.

On voit sur la figure 1 que les deux entrées e1 et e2 du quadripôle 10 sont constituées par les grilles G des premiers transistors N1 et N2 des deux inverseurs 14 et 16, tandis que les sorties S1 et S2 sont constituées par les drains D des deux transistors
15 N1, P1, d'une part, et N2, P2, d'autre part.

Ces sorties S1 et S2 sont raccordées à l'étage d'amplification 12.

Cet étage d'amplification 12 est constitué par l'association de deux transistors MOS N3 et P3 de polarité opposée disposés en série,
20 dont les grilles respectives reçoivent les signaux de sortie s1 et s2 des deux inverseurs 14 et 16.

Cet étage d'amplification constitue un amplificateur de type push-pull conventionnel. Il ne sera donc pas décrit davantage par la suite.

25 Enfin, l'étage oscillant 10 est complété par deux circuits oscillants ou résonants 18 et 20, disposés en parallèle respectivement entre les entrées e1, e2 et les deux sorties s1, s2 des deux inverseurs 14 et 16. Comme le montre la figure 1, ces deux circuits oscillants 18 et 20 sont commandés en fréquence par une tension Vt d'accord à
30 travers deux résistances R1 et R2. Chaque circuit oscillant 18 et 20 est formé d'une inductance L1, L2 et d'une capacité en parallèle réalisée

par deux capacités C1, C2 et C3, C4 montées en série et dont le point milieu est piloté par la tension d'accord V_t .

5 Ces circuits oscillants 18 et 20 sont ainsi chacun constitués d'une self à induction associée à une capacité en parallèle, laquelle est successivement chargée puis déchargée à travers la self L1, L2, créant ainsi des oscillations dont la fréquence dépend de la valeur des capacités C1, C2 et C3, C4, de la valeur des selfs L1 et L2.

10 Comme indiqué précédemment, la réalisation des selfs en technologie CMOS présente des inconvénients majeurs en termes de surface de silicium nécessaire à la réalisation de ces composants.

Conformément à une caractéristique de l'invention, comme on le voit sur la figure 2, les selfs L1 et L2 sont formées dans deux niveaux de métallisation M4 et M5 isolés par une couche d'oxyde mince O et sont superposées l'une sur l'autre, ce qui permet de réduire considérablement la surface de silicium nécessaire pour la réalisation de ces selfs.

On voit en effet sur la figure 2 que ces selfs L1 et L2 sont formées dans les deux derniers niveaux de métallisation M4 et M5 sur une couche d'oxyde de silicium 20 elle-même déposée sur un substrat 22 de type p, des caissons dopés de type N^{+24} et 26 étant prévus, dans le substrat 20, de part et d'autre des selfs, afin de limiter les pertes de ces dernières.

25 Comme on le voit sur la figure 3, sur laquelle seul le niveau de métallisation supérieur M5 a été représenté, les selfs sont réalisées par implantation de métal sous la forme de spirales et constituent, conjointement, une capacité en spirale. Les deux selfs sont dès lors couplées en formant une capacité. La présence d'une telle capacité n'est cependant pas gênante puisque la différence de potentiel entre les selfs L1 et L2 est nulle.

30 De préférence, comme visible sur la figure 2, pour la réalisation des selfs, on utilise entre autre le dernier niveau de métallisation M5, qui a une épaisseur accrue.

On notera que la mutuelle inductance entre les deux selfs permet de modifier les propriétés de l'oscillateur.

En effet, dans une configuration de selfs empilées, si chaque self présente une valeur d'inductance L , en raison du couplage de ces deux selfs, la valeur L' de chaque inductance devient alors :

$$L' = L (1+k)$$

k désignant le coefficient de mutuelle inductance des deux selfs.

On conçoit dès lors qu'en utilisant une telle structure de selfs empilées pour l'implantation des selfs $L1$ et $L2$, si le coefficient k de mutuelle inductance est voisin de 1, la valeur de l'inductance de chaque self est doublée, ce qui permet de diminuer par deux le diamètre de chaque self.

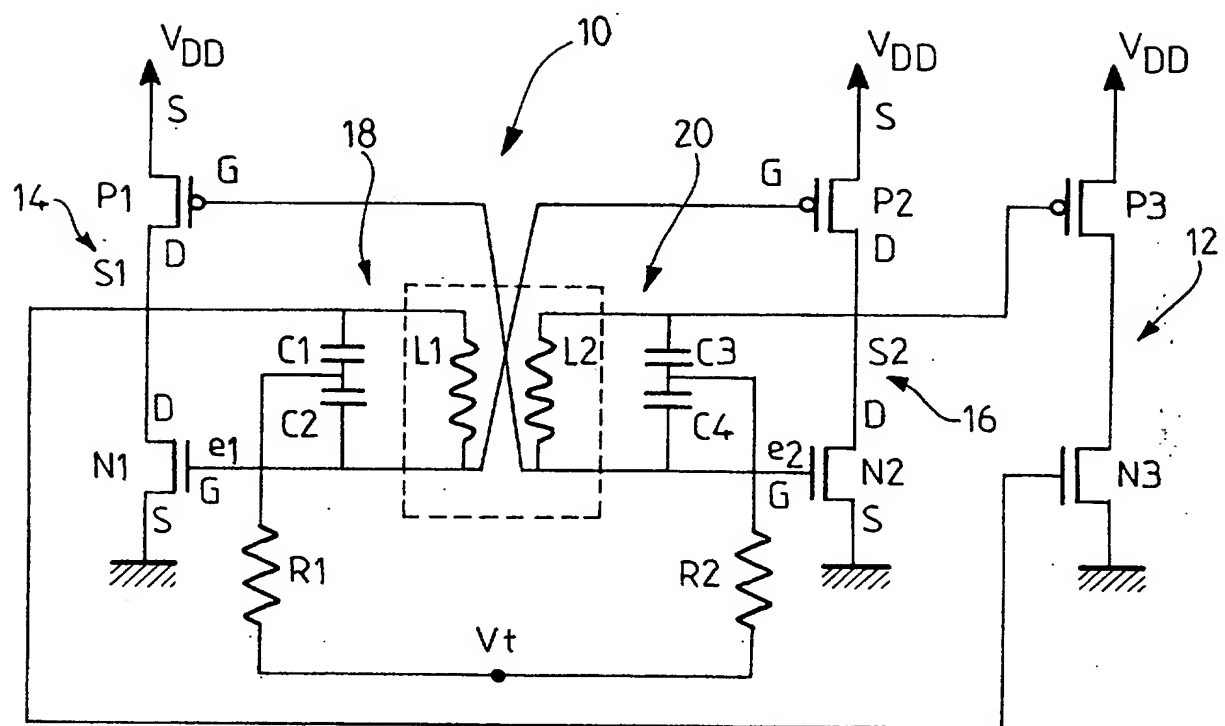
On notera enfin que selon une particularité du montage des deux inverseurs 14 et 16, du point de vue du câblage de ces inverseurs, ceux-ci ne sont pas formés puisque les grilles des transistors $N1$ et $P1$, d'une part, et $N2$ et $P2$, d'autre part, ne sont pas interconnectées à un même point. Cependant, le quadripôle 10, dont les entrées et les sorties correspondent aux entrées $e1$, $e2$ et aux sorties $s1$, $s2$ des inverseurs, présente un gain maximal quand les entrées $e1$ et $e2$ sont en phase. En d'autres termes, lorsque le quadripôle 10 a atteint son point de fonctionnement nominal défini par le gain maximum, les entrées $e1$ et $e2$ sont en phase et, de ce fait, les inverseurs 14 et 16 sont fonctionnellement fermés. On notera également que, dans ce cas, les sorties $s1$ et $s2$ sont également en phase, ce qui permet d'attaquer directement l'étage d'amplification 12.

REVENDICATIONS

1. Oscillateur commandé en tension, comprenant un étage oscillant à deux inverseurs CMOS (14, 16) couplés formant un quadripôle à deux entrées (e1, e2) et à deux sorties (s1, s2), et deux circuits oscillant (18, 20) disposés respectivement entre les entrées et les sorties des inverseurs et comportant chacun une self (L1, L2), le quadripôle étant adapté pour que les sorties dudit quadripôle soient en phase, caractérisé en ce que les selfs (L1, L2) des circuits oscillants sont réalisées en technologie MOS et sont superposées l'une sur l'autre.
2. Oscillateur selon la revendication 1, caractérisé en ce que les selfs des circuits oscillants sont réalisées sous la forme de spirales implantées dans des niveaux de métallisation (M4, M5) respectifs d'un circuit intégré.
3. Oscillateur selon la revendication 2, caractérisé en ce que les selfs se présentent sous la forme de capacités en forme de spirale formées respectivement par implantation de métal dans lesdits niveaux de métallisation (M4, M5) qui sont isolés par une couche d'oxyde mince (O).
4. Oscillateur selon l'une quelconque des revendications 1 à 3, caractérisé en ce que chaque inverseur comporte deux transistors (N1, P1, N2, P2) MOS de polarité opposée, disposés en ligne, l'entrée de l'inverseur (e1, e2) étant située sur la grille (G) de l'un des transistors ayant une première polarité et la sortie (S1, s2) au point milieu des deux transistors.
5. Oscillateur selon la revendication 4, caractérisé en ce que l'entrée (e1, e2) de chaque inverseur est reliée à la grille (G) d'un transistor d'une deuxième polarité de l'autre inverseur, ladite deuxième polarité étant opposée à ladite première polarité.
6. Oscillateur selon l'une quelconque des revendications 1 à 5, caractérisé en ce qu'il comporte en outre un étage d'amplification



(12) comprenant deux transistors MOS (N3, P3) de polarité opposée disposés en série, la grille de chaque transistor MOS étant reliée à l'une des sorties de l'étage oscillant.



2/2

FIG. 2

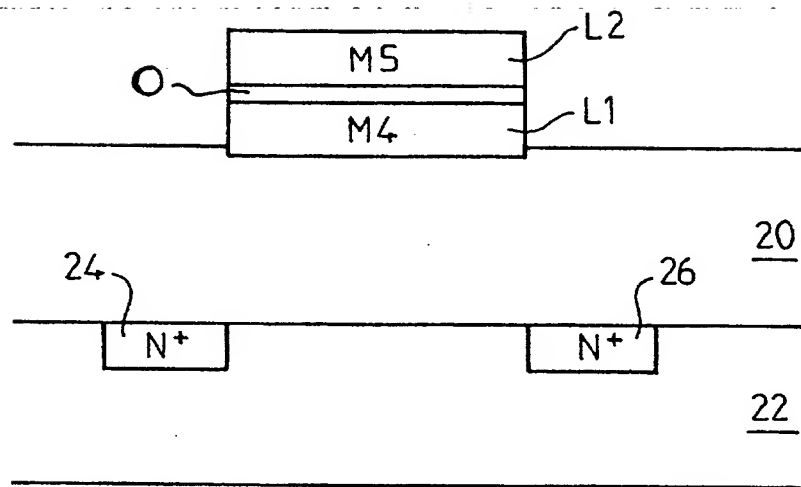
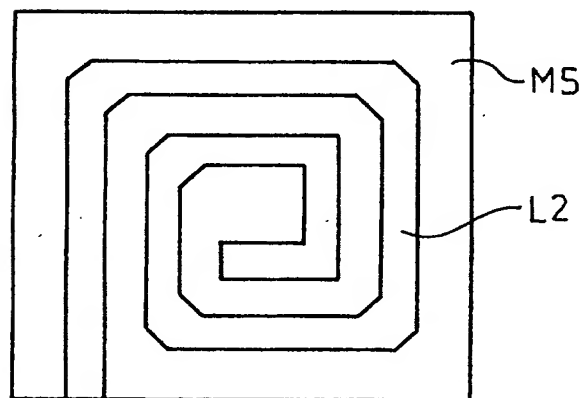


FIG. 3





DÉPARTEMENT DES BREVETS

26 bis, rue de Saint Pétersbourg
75800 Paris Cedex 08

Téléphone : 33 (1) 53 04 53 04 Télécopie : 33 (1) 42 94 86 54

BREVET D'INVENTION

CERTIFICAT D'UTILITÉ

Code de la propriété intellectuelle - Livre VI



N° 11235*03

DÉSIGNATION D'INVENTEUR(S) Page N° 1.../1...

INV

(À fournir dans le cas où les demandeurs et les inventeurs ne sont pas les mêmes personnes)

Cet imprimé est à remplir lisiblement à l'encre noire

08 113 @ W / 270601

Vos références pour ce dossier (facultatif)		B 03/0095 FR-ODE
N° D'ENREGISTREMENT NATIONAL		0303898
TITRE DE L'INVENTION (200 caractères ou espaces maximum)		
Oscillateur commandé en tension.		
LE(S) DEMANDEUR(S) :		
Société Anonyme dite : France Télécom		
DESIGNE(NT) EN TANT QU'INVENTEUR(S) :		
1	Nom	MAJOS
	Prénoms	Jacques
Adresse	Rue	18 Lotissement Les Jonquilles
	Code postal et ville	[3 : 8 : 4 : 2 : 0] LE VERSOUD
Société d'appartenance (facultatif)		
2	Nom	
	Prénoms	
Adresse	Rue	
	Code postal et ville	[: : : :]
Société d'appartenance (facultatif)		
3	Nom	
	Prénoms	
Adresse	Rue	
	Code postal et ville	[: : : :]
Société d'appartenance (facultatif)		
S'il y a plus de trois inventeurs, utilisez plusieurs formulaires. Indiquez en haut à droite le N° de la page suivi du nombre de pages.		
DATE ET SIGNATURE(S)		Paris, le 28 Mars 2003
DU (DES) DEMANDEUR(S)		
OU DU MANDATAIRE		
(Nom et qualité du signataire)		
		 Axel CASALONGA, bm 92 1044 i Conseil en Propriété Industrielle

La loi n°78-17 du 6 janvier 1978 relative à l'informatique, aux fichiers et aux libertés s'applique aux réponses faites à ce formulaire. Elle garantit un droit d'accès et de rectification pour les données vous concernant auprès de l'INPI.

THIS PAGE BLANK (USPTO)